



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 196 13 409 A 1

21 Aktenzeichen: 196 13 409.9
22 Anmeldetag: 3. 4. 96
43 Offenlegungstag: 9. 10. 97

61 Int. Cl.⁸:
H 01 L 29/417
H 01 L 29/45
H 01 L 29/78
H 01 L 29/73
H 01 L 29/74

DE 196 13 409 A 1

71 Anmelder:
Texas Instruments Deutschland GmbH, 85358
Freising, DE

74 Vertreter:
Prinz und Kollegen, 81241 München

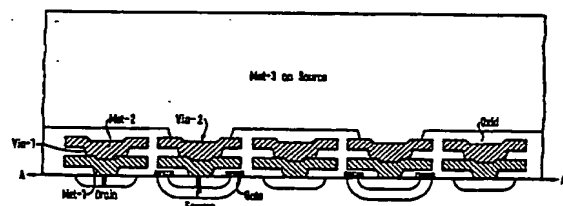
72 Erfinder:
Bucksch, Walter, 85354 Freising, DE; Wagensohner,
Konrad, 85419 Mauern, DE; Rinck, Helmut, 85368
Moosburg, DE; Hooper, Robert, Houston, Tex., US;
Hutter, Lou N., Richardson, Tex., US; Mai, Quang X.,
Sugar Land, Tex., US

56 Entgegenhaltungen:
US 50 25 299
US 49 49 139
EP 06 23 982 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Leistungsbauelementanordnung

57 Die vorliegende Erfindung betrifft eine Leistungsbauelementanordnung mit einer Vielzahl von in einem Halbleiter-substrat identisch aufgebauten Zellen, die jeweils eine erste Hauptelektrodenzone (S), eine zweite Hauptelektrodenzone (D) und eine dazwischenliegende Steuerelektrodenzone (G) enthalten; wobei alle Zellen durch Verbinden der ersten Hauptelektrodenzonen (S), der zweiten Hauptelektrodenzonen (D) und der Steuerelektrodenzonen (G) parallel geschaltet sind. Zur Erniedrigung des Verlustspannungsabfalls über den Zellenverbindungen sind eine erste dünne Al-Metallisierungsschicht (Met1), welche über Durchkontaktierungen mit den ersten und zweiten Hauptelektrodenzonen (S, D) verbunden ist; wahlweise eine zweite dünne, darüberliegende Al-Metallisierungsschicht (Met2), welche über Durchkontaktierungen (Via-1) mit der ersten Metallisierungsschicht (Met1) verbunden ist; und eine dritte dicke, darüberliegende Metallisierungsschicht (Met3), welche über Durchkontaktierungen (Via-1, Via-2) mit der ersten Metallisierungsschicht (Met1) oder mit der wahlweise vorgehenden zweiten Metallisierungsschicht (Met2) verbunden ist, vorgesehen.



DE 196 13 409 A 1

Die vorliegende Erfindung betrifft eine Leistungsbau-
elementanordnung mit einer Vielzahl von in einem
Halbleitersubstrat identisch aufgebauten Zellen, die je-
weils eine erste Hauptelektrodenzone, eine zweite
Hauptelektrodenzone und eine dazwischenliegende
Steuerelektrodenzone enthalten; wobei alle Zellen
durch Verbinden der ersten Hauptelektrodenzonen, der
zweiten Hauptelektrodenzonen und der Steuerelektro-
denzonen parallel geschaltet sind.

Solche bekannten Leistungsbaulementanordnungen
bilden Bauelemente mit hoher Strombelastbarkeit, wel-
che einen hohen Siliziumflächenbedarf aufweisen, z. B.
0,5 bis 1 cm².

Sie bestehen im allgemeinen aus einer Vielzahl identi-
scher Zellen, welche eine Streifenform, eine Kreisform,
eine Quadratform oder sonstige Formen aufweisen kön-
nen. Diese Zellen sind mit regelmäßigen Abständen in x-
und y-Richtung aneinandergereiht. Auf diese Art und
Weise ist es möglich, ein Leistungsbaulement mit ein-
em relativ geringem Durchlaßwiderstand herzustellen.

Ein Problem bei derartigen bekannten Leistungsbau-
elementanordnungen ist, daß die Metallverbindungen
zwischen den einzelnen Zellen einen nicht vernachläs-
sigen Widerstand aufweist. Dieser Widerstand ist so
groß, daß er einen beträchtlichen Spannungsabfall mit
sich bringt, wenn Metallisierungsschichten mit Stan-
darddicken von 0,5–3 µm verwendet werden.

Dies wird nachstehend am Beispiel eines Leistungs-
transistorbauelements näher erläutert.

Eine Al-Metallisierung dieser Dicke hat einen Wider-
stand von etwa 10–60 mΩ pro Einheitsfläche. Unter
Annahme eines aus vielen Zellen aufgebauten Lei-
stungstransistorbauelements mit einem Gesamtstrom
von 20 A und einer effektiven Anschlußfläche von je-
weils 2 Einheitsflächen für Source und Drain liegt der
gesamte Spannungsabfall in dem gesamten Leistungs-
transistorbauelement (von der ersten bis zur letzten Ze-
le) im Bereich von 0,4 bis 2,4 V. Somit ist der Spannungs-
abfall so groß, daß die von der Spannungsversorgung
abgelegenen Zellen des Leistungstransistorbauelements
nur schlecht angesteuert werden können.

Dies führt zu einem wenig effektiven Leistungstran-
sistorbauelement, das zwar viel Platz verbraucht, aber
wenig Strom leitet und einen reduzierten effektiven si-
cheren Betriebsbereich (SOAR = safe operating area)
hat.

Abgesehen von diesem Effekt des Reduzierens der an
den einzelnen Zellen wirksamen Gate-Source-Vorspan-
nung hat die Al-Metallisierung einen großen Anteil am
Durchlaßwiderstand. Bei sehr wirkungsvollen DMOS-
Transistoren (Durchlaßwiderstand $RD_{Son} \times$ Einheits-
fläche $< 1 \text{ m}\Omega\text{cm}^2$) beträgt dieser Anteil etwa 50% des
gesamten Durchlaßwiderstandes für Bauelemente mit
einer Strombelastbarkeit von mehr als 10 A.

Metallverbindungen mit hohem Widerstand beein-
trächtigen auch das Schaltverhalten der Transistoren.
Die Verbindungen mit den Gate- oder Basis-Anschlüs-
sen der individuellen Transistoren haben nämlich nicht
nur Widerstands-, sondern auch Kapazitätsanteile. So-
mit ist die Laufzeit, die ein Einschaltimpuls benötigt, um
die gesamte geometrische Anordnung zu durchlaufen,
ebenfalls groß. Auch dies beschränkt den effektiven si-
cheren Betriebsbereich (SOAR), weil der zuerst errei-
chte Transistorteil bereits überlastet ist, bevor der letzte
Teil erreicht wird.

Die bekannten Al-Metallisierungen leiden weiterhin

unter dem Problem der Elektromigration, wodurch die
Lebensdauer der Bauelemente beeinträchtigt wird. Die-
ser unerwünschte Effekt wird zusätzlich noch durch die
hohen Betriebstemperaturen dieser Bauelemente be-
günstigt. Auch begünstigen Stromstöße, die über den
Nennstromwert hinausgehen, das Auftreten von Elek-
tromigration.

Bei diskreten Leistungstransistoren werden üblicher-
weise Al-Metallisierungen mit bis zu 6 µm Dicke ver-
wendet.

Die dickste Al-Metallisierung, welche üblicherweise
für Verbindungen in integrierten Schaltungen verwen-
det wird, ist hingegen nur 3 µm dick.

Doch sind diese Dicken bei Layouts mit hoher Pak-
kungsichte in CMOS-, BICMOS- und BIPOLAR-Tech-
nologie bereits nicht mehr anwendbar. In den dortigen
Prozessen werden heutzutage Dicken, die kleiner oder
gleich 1,5 µm sind, verwendet.

Eine Alternativlösung zum Anschließen der Strom-
versorgung an eine Leistungsbaulementanordnung be-
steht zwar darin, daß viele Bondverbindungen um oder
auf die Anordnung gesetzt werden, um den Strom über
eine Vielzahl von Bonddrähten fließen zu lassen. Diese
Lösung weist jedoch den Nachteil auf, daß viele paral-
lele Bonddrähte und/oder viele Anschlüsse am Gehäuse
vorhanden sein müssen. Viele parallele Bonddrähte kön-
nen nicht auf ihr Vorhandensein geprüft werden, so daß
eventuell unzuverlässige Teile ausgeliefert werden, oder
es ergeben sich Preisprobleme hinsichtlich des aufwen-
digen Gehäuses.

Aufgabe der vorliegenden Erfindung ist es dement-
sprechend, die gattungsgemäße Leistungsbaulemen-
tanordnung derart weiterzubilden, daß der Widerstand
der Verbindungen der einzelnen Zellen erniedrigt ist.

Erfindungsgemäß wird die obige Aufgabe bei der gat-
tungsgemäßen Leistungsbaulementanordnung da-
durch gelöst, daß eine erste Metallisierungsschicht über
Durchkontaktierungen mit den ersten und zweiten
Hauptelektrodenzonen verbunden ist, vorgesehen ist;
wahlweise eine zweite, darüberliegende Metallisie-
rungsschicht, welche über Durchkontaktierungen mit
der ersten Metallisierungsschicht verbunden ist, vorge-
sehen ist; eine dritte, darüberliegende Metallisierung-
sschicht, welche über Durchkontaktierungen der ersten
Metallisierungsschicht oder mit der wahlweise vorge-
sehenen zweiten Metallisierungsschicht verbunden ist,
vorgesehen ist; die erste und die wahlweise vorgesehene
zweite Metallisierungsschicht Al-Metall oder eine Al-
Metallverbindung oder eine Al-Metalllegierung enthal-
ten und eine erste und zweite Dicke aufweisen; und die
dritte Metallisierungsschicht ein Metall oder eine Me-
tallverbindung oder eine Metallegierung enthält und ei-
ne dritte Dicke, die wesentlich größer als die erste und
die zweite Dicke ist, aufweist.

Bevorzugterweise ist die erfindungsgemäße Lei-
stungsbaulementanordnung dadurch gekennzeichnet,
daß die dritte Metallisierungsschicht Cu-Metall oder
eine Cu-Metallverbindung oder eine Cu-Metalllegierung
enthält.

Bevorzugterweise ist die erfindungsgemäße Lei-
stungsbaulementanordnung dadurch gekennzeichnet,
daß die ersten Hauptelektrodenzonen und die zweiten
Hauptelektrodenzonen längliche Zonen sind, die ab-
wechselnd nebeneinander in dem Halbleitersubstrat an-
geordnet sind; und beiderseits unmittelbar angrenzend
an die ersten Hauptelektrodenzonen in dem Halbleiter-
substrat die Steuerelektrodenzonen verlaufen.

Bevorzugterweise ist die erfindungsgemäße Lei-

stungsbauelementanordnung dadurch gekennzeichnet, daß die erste Metallisierungsschicht nebeneinanderliegende erste Streifen aufweist, die parallel zu einer jeweiligen ersten oder zweiten Hauptelektrodenzone verlaufen; die zweite Metallisierungsschicht nebeneinanderliegende zweite Streifen aufweist, die parallel zu einer jeweiligen ersten oder zweiten Hauptelektrodenzone verlaufen; die dritte Metallisierungsschicht nebeneinanderliegende dritte Streifen aufweist, die senkrecht zur Längsrichtung der ersten und zweiten Hauptelektrodenzonen verlaufen und die ersten und zweiten Hauptelektrodenzonen benachbarter Zellen teilweise überlappen; und die dritten Streifen jeweils abwechselnd mit den ersten Hauptelektrodenzonen der überlappten Zellen und mit den zweiten Hauptelektrodenzonen der überlappten Zellen verbunden sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die Durchkontaktierungen, über die die jeweiligen dritten Streifen mit den entsprechenden zweiten Streifen verbunden sind, und die Durchkontaktierungen, über die die jeweiligen zweiten Streifen mit den entsprechenden ersten Streifen verbunden sind, übereinander angeordnet sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die Durchkontaktierungen, über die die jeweiligen dritten Streifen mit den entsprechenden zweiten Streifen verbunden sind, und die Durchkontaktierungen, über die die jeweiligen zweiten Streifen mit den entsprechenden ersten Streifen verbunden sind, gegeneinander versetzt angeordnet sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die ersten Metallisierungsschicht nebeneinanderliegende erste Streifen aufweist, die parallel zu einer jeweiligen ersten oder zweiten Hauptelektrodenzone verlaufen; die zweite Metallisierungsschicht nebeneinanderliegende zweite Streifen aufweist, die senkrecht zur Längsrichtung der ersten und zweiten Hauptelektrodenzonen verlaufen und die erste und zweite Hauptelektrodenzonen benachbarter Zellen teilweise überlappen; die dritte Metallisierungsschicht nebeneinanderliegende dritte Streifen aufweist, die parallel zu der ersten und zweiten Hauptelektrodenzonen verlaufen; die zweiten Streifen jeweils abwechselnd mit den ersten Hauptelektrodenzonen der überlappten Zellen und mit den zweiten Hauptelektrodenzonen der überlappten Zellen verbunden sind; und die dritten Streifen jeweils abwechselnd mit den zweiten Streifen, die mit den ersten Hauptelektrodenzonen verbunden sind, und mit den zweiten Streifen, die mit den zweiten Hauptelektrodenzonen verbunden sind, über entsprechende in den Schnittbereichen der zweiten und dritten Streifen liegende Durchkontaktierungen verbunden sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß unterhalb der dritten Metallisierungsschicht eine Polyimidschicht zur Reduzierung von mechanischen Spannungen gebildet ist.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die ersten und zweiten Hauptelektrodenzonen Diffusionszonen sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die erste Dicke und die zweite Dicke im Bereich von 0,5 und 3 μm liegen.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die erste Dicke 0,76 μm beträgt.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die zweite Dicke 1,52 μm beträgt.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die dritte Dicke 10–30 μm beträgt.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die Leistungsbauelemente MOS- oder DMOS-Feldeffekttransistoren sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die Leistungsbauelemente Bipolartransistoren sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die Leistungsbauelemente Resurf-Transistoren sind.

Bevorzugterweise ist die erfindungsgemäße Leistungsbauelementanordnung dadurch gekennzeichnet, daß die Leistungsbauelemente Thyristoren sind.

Ein besonderer Vorteil der erfindungsgemäßen Leistungsbauelementanordnung liegt darin, daß die Verwendung der dicken Cu-enthaltenden Schicht die Erstellung von Layouts bei diesen Leistungsbauelementen vereinfacht, die effektive Nutzung des vorhandenen Siliziums ermöglicht und somit zur Verbilligung dieser Bauelemente beiträgt.

Auch ist die Zuverlässigkeit, wie der sichere Betriebsbereich (SOAR) erhöht, und die Tendenz zur Bildung von "hot spots" (Überhitzungspunkten) erniedrigt.

Wenn die zweite Metallisierungsschicht zwischen der ersten und der dritten Metallisierungsschicht vorgesehen ist, gibt es drei Anschlußebenen mit geringem Widerstand. Dies ermöglicht eine Reduzierung des Widerstands der Anschlußleitungen der Steuerelektroden und somit eine Erhöhung der Schaltgeschwindigkeit der Leistungsbauelementanordnung.

Der letztgenannte Vorteil bringt ebenfalls ein besseres Ansprechverhalten bei sehr kurzen Impulsen, da alle Einzelelemente des Leistungsbauelementanordnung virtuell gleichzeitig eingeschaltet werden.

Im folgenden wird die vorliegende Erfindung anhand bevorzugter Ausführungsformen unter Bezugnahme auf die Zeichnungen näher erläutert werden.

Es zeigen:

Fig. 1 ein schematisches Diagramm zur Darstellung eines DMOS-Transistors;

Fig. 2 einen Querschnitt durch einen erfindungsgemäßen DMOS-Transistor entlang der Linie A-A' in Fig. 1 gemäß einer ersten Ausführungsform;

Fig. 3; einen Querschnitt durch einen erfindungsgemäßen DMOS-Transistor entlang der Linie A-A' in Fig. 1 gemäß einer zweiten Ausführungsform;

Fig. 4 eine Draufsicht auf ein erstes Metallisierungsschema bei der ersten Ausführungsform von Fig. 2;

Fig. 5 eine Draufsicht auf ein zweites Metallisierungsschema bei der ersten Ausführungsform von Fig. 2; und

Fig. 6 eine Draufsicht auf ein Metallisierungsschema bei der zweiten Ausführungsform von Fig. 2.

Ohne die Anwendbarkeit der vorliegenden Erfindung auf irgendeine bestimmte Leistungsbauelementart beschränken zu wollen, wird sie nachstehend am Beispiel von Leistungs-DMOS-Feldeffekttransistoren näher erläutert werden. Natürlich ist die Erfindung genauso bei anderen Leistungsbauelementen, wie z. B. MOSFETs,

Bipolar- und Resurf-Transistoren oder Thyristoren, verschiedenster Geometrien anwendbar.

Auch sind nicht alle Details der einzelnen Transistoren der angeführten beispielhaften Ausführungsformen gezeigt, sondern aus Gründen der Übersichtlichkeit nur die zum Verständnis der Erfindung wesentlichen Komponenten.

Fig. 1 ist ein schematisches Diagramm zur Darstellung eines DMOS-Transistors. In Fig. 1 bezeichnen Bezugszeichen S und D längliche Source- bzw. Drain-Zonen jeweiliger MOSFETs, die in alternierenden Zellen angeordnet sind. Auf den Source- und Drain-Zonen befinden sich jeweilige Kontaktbereiche K zur elektrischen Verbindung der Zonen. Beiderseits unmittelbar angrenzend an die Source-Zonen verlaufen Kanalzonen, über denen sich jeweils ein Gate-Anschluß G befindet.

Diese Zonen liegen in einer N-Wanne, welche in dem Halbleitersubstrat vorgesehen ist. Im gezeigten Beispiel sind die Source- und Drain-Zonen N-dotiert und die Kanalzone P-dotiert. Beispielsweise sind alle diese Zonen durch Diffusionsprozesse hergestellt.

Die Linie A-A' bezeichnet eine Schnittlinie, entlang welcher die Darstellungen von Fig. 2 und Fig. 3 verlaufen.

Fig. 2 zeigt einen Querschnitt durch einen erfindungsgemäßen DMOS-Transistor entlang der Linie A-A' in Fig. 1 gemäß einer ersten Ausführungsform. Wie aus Fig. 2 ersichtlich, sind drei Metallisierungsschichten Met1, Met2 und Met3, innerhalb derer jeweilige Verbindungen ausgebildet sind, vorgesehen. Die Metallisierungsschichten sind untereinander und gegenüber dem Halbleitersubstrat bis auf vorbestimmte Durchkontaktierungen mittels Isolierschichten, wie z. B. Siliziumdioxidschichten, elektrisch voneinander isoliert. Die zweite Metallisierungsschicht kann wahlweise eingesetzt werden oder auch nicht.

Im einzelnen bezeichnet Met1 die erste, unterste Metallisierungsschicht, welche über Durchkontaktierungen mit den Source- und Drain-Zonen verbunden ist. Met2 bezeichnet die wahlweise vorgesehene zweite, darüberliegende Metallisierungsschicht, welche über Durchkontaktierungen Via-1 mit der ersten Metallisierungsschicht Met1 verbunden ist. Schließlich bezeichnet Met3 die dritte, darüberliegende Metallisierungsschicht, welche über Durchkontaktierungen Via-1 mit der ersten Metallisierungsschicht Met1 bzw. über Durchkontaktierungen Via-2 mit der wahlweise vorgesehenen zweiten Metallisierungsschicht Met2 verbunden ist.

Die erste und zweite wahlweise vorgesehene Metallisierungsschicht Met1 bzw. Met2 sind Schichten aus Al-Metall, aus Al-Verbindungen oder aus Al-Legierungen. Funktionell dienen diese erste und zweite Metallisierungsschicht Met1 bzw. Met2 zur Ausbildung von sehr dicht gepackten, streifenförmigen Verbindungen zwischen den einzelnen Transistoren. Daher weisen sie Standarddicken zwischen 0,5 und 3 µm auf, welche bevorzugterweise zwischen 0,76 und 1,52 µm liegen.

Die dritte Metallisierungsschicht Met3 ist eine Schicht z. B. aus Cu-Metall, aus Cu-Verbindungen oder aus Cu-Legierungen. Funktionell dient diese dritte Metallisierungsschicht Met3 zur Ausbildung breiter, streifenförmiger Verbindungen, welche hohe Ströme von der Stromversorgung zu den einzelnen Transistoren aufnehmen können müssen. Daher weist sie eine wesentlich größere Dicke als die erste und zweite Metallisierungsschicht Met1 bzw. Met2 auf, welche bevorzugterweise bei 25 µm liegt. Um die Probleme hinsichtlich

Elektromigration bei Aluminium zu vermeiden und gleichzeitig die Kosten gering zu halten, ist Kupfer das geeignete Basismaterial für diese dritte Metallisierungsschicht Met3, doch können auch andere Metalle, Metallverbindungen oder Metallegierungen je nach den gewünschten Eigenschaften dafür verwendet werden.

Somit ermöglicht die dritte Metallisierungsschicht Met3, daß der Strom gleichmäßig an die einzelnen Transistoren verteilt wird und die auftretenden Spannungsabfälle sehr gering sind.

Unter der Annahme von Streifen mit zwei Einheitsflächen für Source als auch für Drain und einer Streifenbreite von 25 µm erreicht man einen Gesamtwiderstand von 3,0 mΩ (spez. Widerstand von Cu ist 1,8 µΩ/cm). Somit beträgt im Vergleich zum obigen Beispiel der Spannungsabfall bei einem Strom von 20 A nur noch 30 mV pro Transistor. Das entspricht einer Verbesserung von einem Faktor 25. Der Beitrag zum Durchlaßwiderstand bei einem Transistor mit $R_{DSon} = 25 \text{ m}\Omega$ erniedrigt sich dementsprechend ebenfalls auf 14%.

Insbesondere unterliegt Kupfer keiner Elektromigration wie Aluminium und sorgt somit dafür, daß sich das Stromdichteprofil nicht nachteilig ändert.

Fig. 3 zeigt einen Querschnitt durch einen erfindungsgemäßen DMOS-Transistor entlang der Linie A-A' in Fig. 1 gemäß einer zweiten Ausführungsform. Ein Unterschied zur in Fig. 2 gezeigten ersten Ausführungsform liegt in der geometrischen Anordnung der Verbindungen in den verschiedenen Metallisierungsschichten Met1, Met2 bzw. Met3. Dieser Unterschied wird nachstehend im Zusammenhang mit Fig. 4 bis 6 näher erläutert werden. Ansonsten sind die Ausführungsformen gleich.

Fig. 4 zeigt eine Draufsicht auf ein erstes Metallisierungsschema bei der ersten Ausführungsform von Fig. 2.

Die erste Metallisierungsschicht Met1 weist nebeneinanderliegende erste Streifen Source-Met1 bzw. Drain-Met1 auf, die parallel zu einer jeweiligen Source-Zone S oder Drain-Zone D verlaufen.

Die zweite Metallisierungsschicht Met2 weist ebenfalls nebeneinanderliegende zweite Streifen Source-Met2 bzw. Drain-Met2 auf, die parallel zu einer jeweiligen Source-Zone S oder Drain-Zone D verlaufen.

Die dritte Metallisierungsschicht Met3 hingegen weist nebeneinanderliegende dritte Streifen Source-Met3 bzw. Drain-Met3 auf, die senkrecht zu Längsrichtung der Source-Zonen S und Drain-Zonen D verlaufen und die Source-Zonen S und die Drain-Zonen D benachbarter Zellen teilweise überlappen. Dabei sind die dritten Streifen Drain-Met3 bzw. Source-Met3 jeweils abwechselnd mit den Source-Zonen S der überlappten Zellen und mit den Drain-Zonen D der überlappten Zellen verbunden. Die Streifen Source-Met3 bzw. Drain-Met3 der dritten Metallisierungsschicht Met3 bilden die Verbindung zu den Bond-Anschlüssen, welche mit der Stromversorgung verbunden sind.

Beim hier gezeigten Metallisierungsschema der ersten Ausführungsform sind die Durchkontaktierungen Via-2, über die die jeweiligen dritten Streifen mit den entsprechenden zweiten Streifen verbunden sind, und die Durchkontaktierungen Via-1, über die die jeweiligen zweiten Streifen mit den entsprechenden ersten Streifen verbunden sind, übereinander angeordnet.

Eine derartige Anordnung ergibt zwar den geringsten vertikalen Widerstand zwischen den Verbindungen der ersten, zweiten und dritten Metallisierungsschicht Met1, Met2 und Met3, kann jedoch manchmal in der Herstel-

lung wegen der hohen Auflösung, die der Photoprozeß aufweisen muß, nur schwer oder überhaupt nicht realisierbar sein.

Fig. 5 zeigt eine Draufsicht auf ein zweites Metallisierungsschema bei der ersten Ausführungsform von Fig. 2. Bei dem dortigen Metallisierungsschema sind die Durchkontaktierungen Via-2, über die die jeweiligen dritten Streifen mit den entsprechenden zweiten Streifen verbunden sind, und die Durchkontaktierungen Via-1, über die die jeweiligen zweiten Streifen mit den entsprechenden ersten Streifen verbunden sind, gegeneinander versetzt angeordnet.

Demzufolge sind die beim Metallisierungsschema von Fig. 4 möglicherweise auftretenden Schwierigkeiten bei diesem Metallisierungsschema nicht möglich.

Ansonsten sind die Anordnungen von Fig. 4 und 5 identisch.

Fig. 6 zeigt eine Draufsicht auf ein Metallisierungsschema bei der zweiten Ausführungsform von Fig. 2. Bei dem dortigen Metallisierungsschema weist die erste Metallisierungsschicht Met1 nebeneinanderliegende erste Streifen Source-Met1 bzw. Drain-Met1 auf, die parallel zu einer jeweiligen Source-Zone S oder Drain-Zone D verlaufen.

Hingegen weist die zweite Metallisierungsschicht Met2 nebeneinanderliegende zweite Streifen Source-Met2 bzw. Drain-Met2 auf, die senkrecht zur Längsrichtung der Source-Zonen S und der Drain-Zonen D verlaufen und die Source-Zonen S und die Drain-Zonen D benachbarter Zellen teilweise überlappen.

Die dritte Metallisierungsschicht Met3 weist nebeneinanderliegende dritte Streifen Source-Met3 bzw. Drain-Met3 auf, die parallel zu der Source-Zonen S und der Drain-Zonen D verlaufen.

Dabei sind die zweiten Streifen Source-Met2 bzw. Drain-Met2 jeweils abwechselnd mit den Source-Zonen S der überlappten Zellen und mit den Drain-Zonen D der überlappten Zellen verbunden.

Schließlich sind die dritten Streifen Source-Met3 bzw. Drain-Met3 jeweils abwechselnd mit den zweiten Streifen Source-Met2, die mit den Source-Zonen S verbunden sind, und mit den zweiten Streifen Drain-Met2, die mit den Drain-Zonen D verbunden sind, über entsprechende in den Schnittbereichen der zweiten und dritten Streifen liegende Durchkontaktierungen Via-2 verbunden.

In diesem speziellen Fall beträgt der maximale Spannungsabfall in einer Verbindung entlang einer einzelnen Source- oder Drain-Zone in der ersten Metallisierungsschicht Met1 4,3 mV, in der zweiten Metallisierungsschicht Met2 8 mV und in der dritten Metallisierungsschicht Met3 14,7 mV. Diese Zahlen beziehen sich wie oben auf einen Transistor mit einem Durchlaßwiderstand R_{DSon} von 25 m Ω . Dies entspricht einem Spannungsabfall von 0,5 V bei einem Strom von 20 A und einer Temperatur von 100°C in einer Fläche von 0,75 cm². Der Gesamtspannungsabfall beträgt daher 27 mV bei 25°C.

Diese zweite Ausführungsform ist dann ideal, wenn unterhalb der dritten Metallisierungsschicht Met3 eine Polyimidschicht zur Reduzierung von mechanischen Spannungen gebildet werden muß, denn hierbei muß der Photoprozeß zur Strukturierung des Polyimid keine besonders hohe Auflösung aufweisen. Die Durchkontaktierungen können von der Größenordnung von 10 μ m sein.

Wie vorstehend ausführlich erklärt, leistet die vorliegende Erfindung einen wertvollen Beitrag zur Herstel-

lung effektiver Leistungsbaulemente mit verbesserter Zuverlässigkeit und erniedrigt die Herstellungskosten.

Patentansprüche

1. Leistungsbaulementanordnung mit einer Vielzahl von in einem Halbleitersubstrat identisch aufgebauten Zellen, die jeweils eine erste Hauptelektrodenzone (S), eine zweite Hauptelektrodenzone (D) und eine dazwischenliegende Steuerelektrodenzone (G) enthalten; wobei alle Zellen durch Verbinden der ersten Hauptelektrodenzonen (S), der zweiten Hauptelektrodenzonen (D) und der Steuerelektrodenzonen (G) parallel geschaltet sind; dadurch gekennzeichnet, daß eine erste Metallisierungsschicht (Met1), welche über Durchkontaktierungen mit den ersten und zweiten Hauptelektrodenzonen (S, D) verbunden ist, vorgesehen ist; wahlweise eine zweite, darüberliegende Metallisierungsschicht (Met2), welche über Durchkontaktierungen (Via-1) mit der ersten Metallisierungsschicht (Met1) verbunden ist, vorgesehen ist; eine dritte, darüberliegende Metallisierungsschicht (Met3), welche über Durchkontaktierungen (Via-1) mit der ersten Metallisierungsschicht (Met1) oder über Durchkontaktierungen (Via-2) mit der wahlweise vorgesehenen zweiten Metallisierungsschicht (Met2) verbunden ist, vorgesehen ist; die erste und die wahlweise vorgesehene zweite Metallisierungsschicht (Met1, Met2) Al-Metall oder eine Al-Metallverbindung oder eine Al-Metalllegierung enthalten und eine erste und zweite Dicke aufweisen; und die dritte Metallisierungsschicht (Met3) ein Metall oder eine Metallverbindung oder eine Metallegierung enthält und eine dritte Dicke, die wesentlich größer als die erste und die zweite Dicke ist, aufweist.
2. Leistungsbaulementanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die dritte Metallisierungsschicht (Met3) Cu-Metall oder eine Cu-Metallverbindung oder eine Cu-Metalllegierung enthält.
3. Leistungsbaulementanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die ersten Hauptelektrodenzonen (S) und die zweiten Hauptelektrodenzonen (D) längliche Zonen sind, die abwechselnd nebeneinander in dem Halbleitersubstrat angeordnet sind; und beiderseits unmittelbar angrenzend an die ersten Hauptelektrodenzonen (S) in dem Halbleitersubstrat die Steuerelektrodenzonen verlaufen.
4. Leistungsbaulementanordnung nach Anspruch 3, dadurch gekennzeichnet, daß die erste Metallisierungsschicht (Met1) nebeneinanderliegende erste Streifen (Source-Met1, Drain-Met1) aufweist, die parallel zu einer jeweiligen ersten oder zweiten Hauptelektrodenzone (S, D) verlaufen; die zweite Metallisierungsschicht (Met2) nebeneinanderliegende zweite Streifen (Source-Met2, Drain-Met2) aufweist, die parallel zu einer jeweiligen ersten oder zweiten Hauptelektrodenzone (S, D) verlaufen; die dritte Metallisierungsschicht (Met3) nebeneinanderliegende dritte Streifen (Source-Met3, Drain-Met3) aufweist, die senkrecht zur Längsrichtung

der ersten und zweiten Hauptelektrodenzonen (S, D) verlaufen und die ersten und zweiten Hauptelektrodenzonen benachbarter Zellen teilweise überlappen; und

die dritten Streifen (Drain-Met3, Source-Met3) jeweils abwechselnd mit den ersten Hauptelektrodenzonen (S) der überlappten Zellen und mit den zweiten Hauptelektrodenzonen (D) der überlappten Zellen verbunden sind.

5. Leistungsbauelementanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Durchkontaktierungen (Via-2), über die die jeweiligen dritten Streifen mit den entsprechenden zweiten Streifen verbunden sind, und die Durchkontaktierungen (Via-1), über die die jeweiligen zweiten Streifen mit den entsprechenden ersten Streifen verbunden sind, übereinander angeordnet sind.

6. Leistungsbauelementanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Durchkontaktierungen (Via-2), über die die jeweiligen dritten Streifen mit den entsprechenden zweiten Streifen verbunden sind, und die Durchkontaktierungen (Via-1), über die die jeweiligen zweiten Streifen mit den entsprechenden ersten Streifen verbunden sind, gegeneinander versetzt angeordnet sind.

7. Leistungsbauelementanordnung nach Anspruch 3, dadurch gekennzeichnet, daß die erste Metallisierungsschicht (Met1) nebeneinanderliegende erste Streifen (Source-Met1, Drain-Met1) aufweist, die parallel zu einer jeweiligen ersten oder zweiten Hauptelektrodenzone (S, D) verlaufen;

die zweite Metallisierungsschicht (Met2) nebeneinanderliegende zweite Streifen (Source-Met2, Drain-Met2) aufweist, die senkrecht zur Längsrichtung der ersten und zweiten Hauptelektrodenzonen (S, D) verlaufen und die erste und zweite Hauptelektrodenzonen benachbarter Zellen teilweise überlappen;

die dritte Metallisierungsschicht (Met3) nebeneinanderliegende dritte Streifen (Source-Met3, Drain-Met3) aufweist, die parallel zu den ersten und zweiten Hauptelektrodenzonen (S, D) verlaufen; die zweiten Streifen (Source-Met2, Drain-Met2) jeweils abwechselnd mit den ersten Hauptelektrodenzonen (S) der überlappten Zellen und mit den zweiten Hauptelektrodenzonen (D) der überlappten Zellen verbunden sind; und

die dritten Streifen (Source-Met3, Drain-Met3) jeweils abwechselnd mit den zweiten Streifen (Source-Met2), die mit den ersten Hauptelektrodenzonen (S) verbunden sind, und mit den zweiten Streifen (Drain-Met2), die mit den zweiten Hauptelektrodenzonen (D) verbunden sind, über entsprechende in den Schnittbereichen der zweiten und dritten Streifen liegende Durchkontaktierungen (Via-2) verbunden sind.

8. Leistungsbauelementanordnung nach Anspruch 7, dadurch gekennzeichnet, daß unterhalb der dritten Metallisierungsschicht (Met-3) eine Polyimidschicht zur Reduzierung von mechanischen Spannungen gebildet ist.

9. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die ersten und zweiten Hauptelektrodenzonen (S, D) Diffusionszonen sind.

10. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

net, daß die erste Dicke und die zweite Dicke im Bereich von 0,5 und 3 μm liegen.

11. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die erste Dicke 0,76 μm beträgt.

12. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die zweite Dicke 1,52 μm beträgt.

13. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die dritte Dicke 10–30 μm beträgt.

14. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Leistungsbauelemente MOS- oder DMOS-Feldeffekttransistoren sind.

15. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Leistungsbauelemente Bipolartransistoren sind.

16. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Leistungsbauelemente Resurf-Transistoren sind.

17. Leistungsbauelementanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Leistungsbauelemente Thyristoren sind.

Hierzu 6 Seite(n) Zeichnungen

FIG. 1

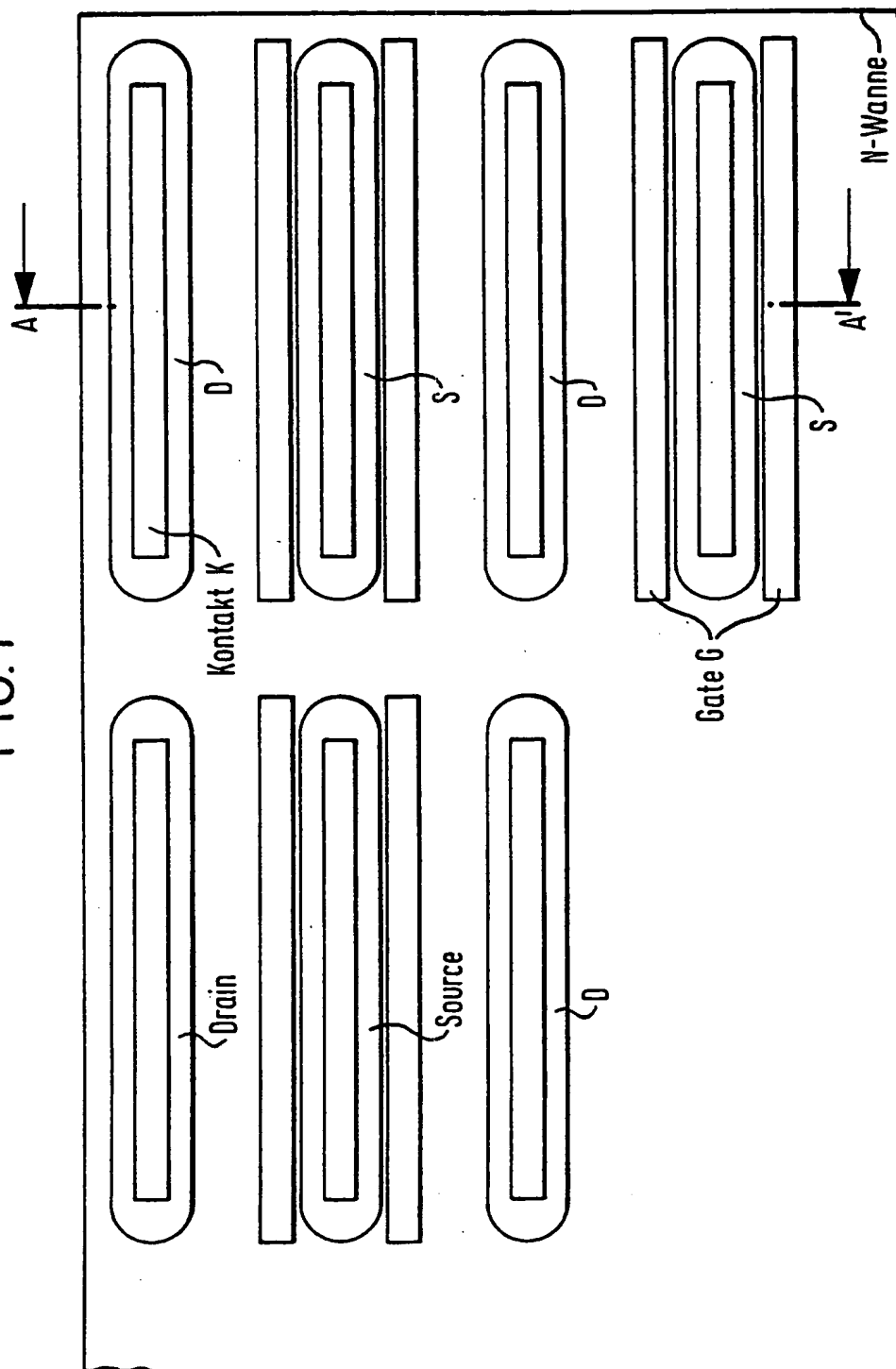


FIG. 2

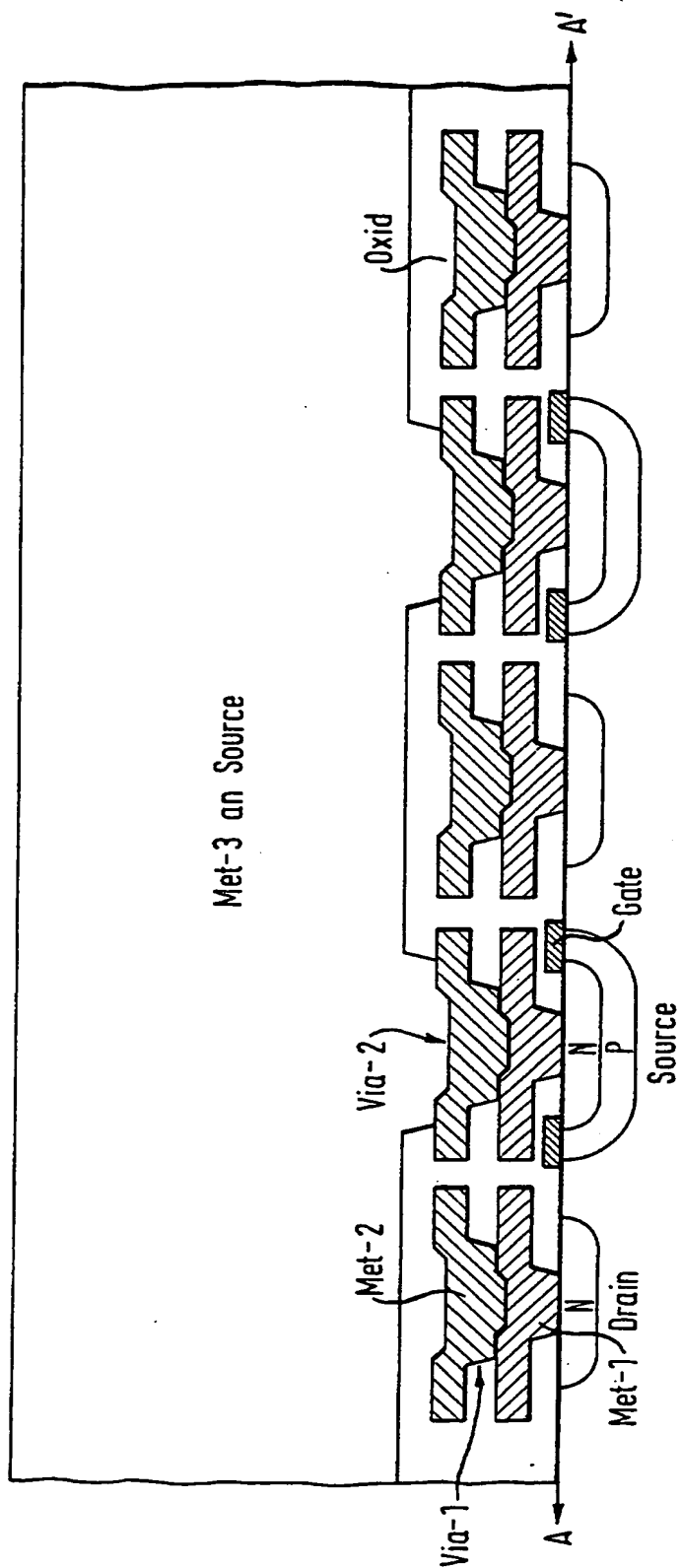


FIG. 3

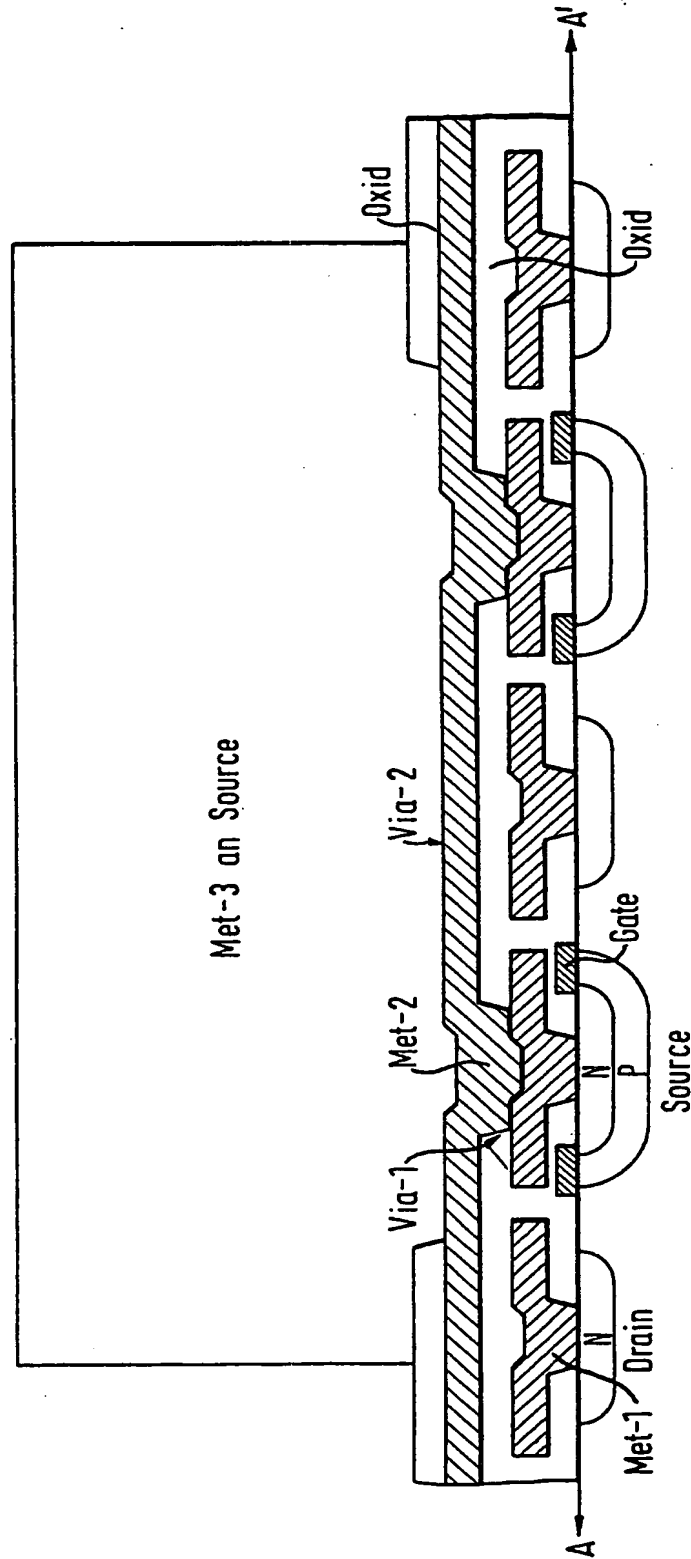


FIG. 4

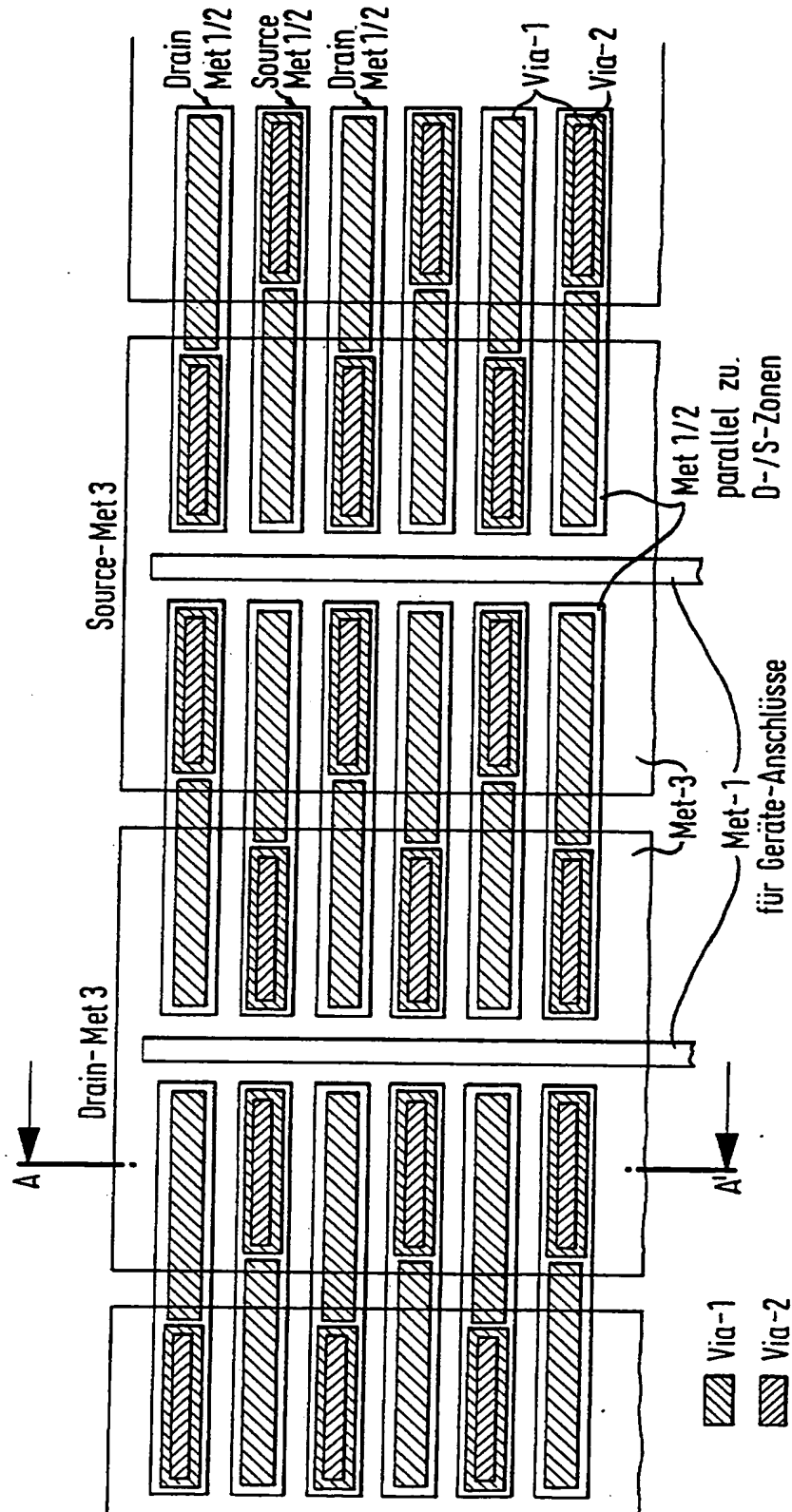


FIG. 5

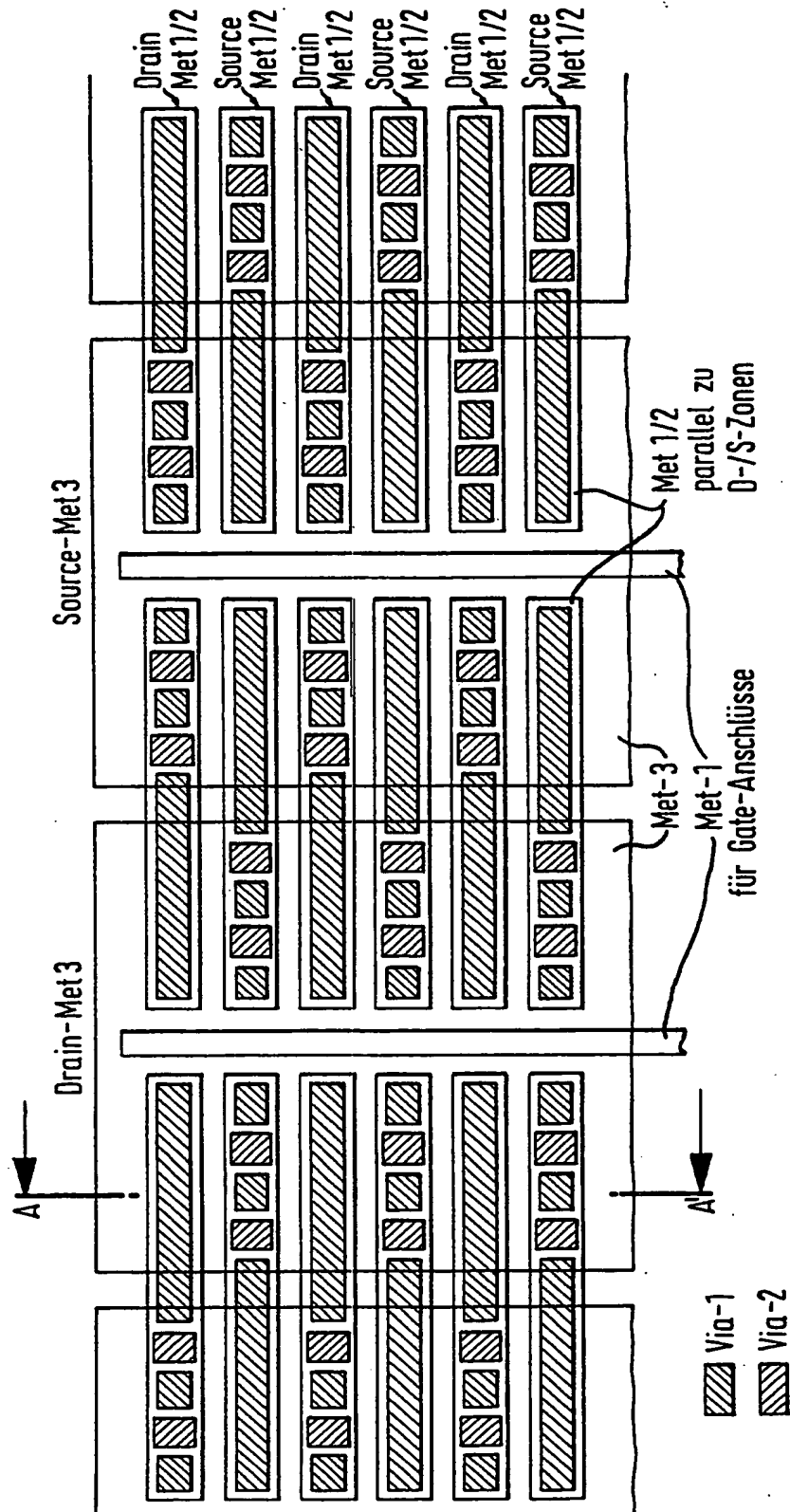
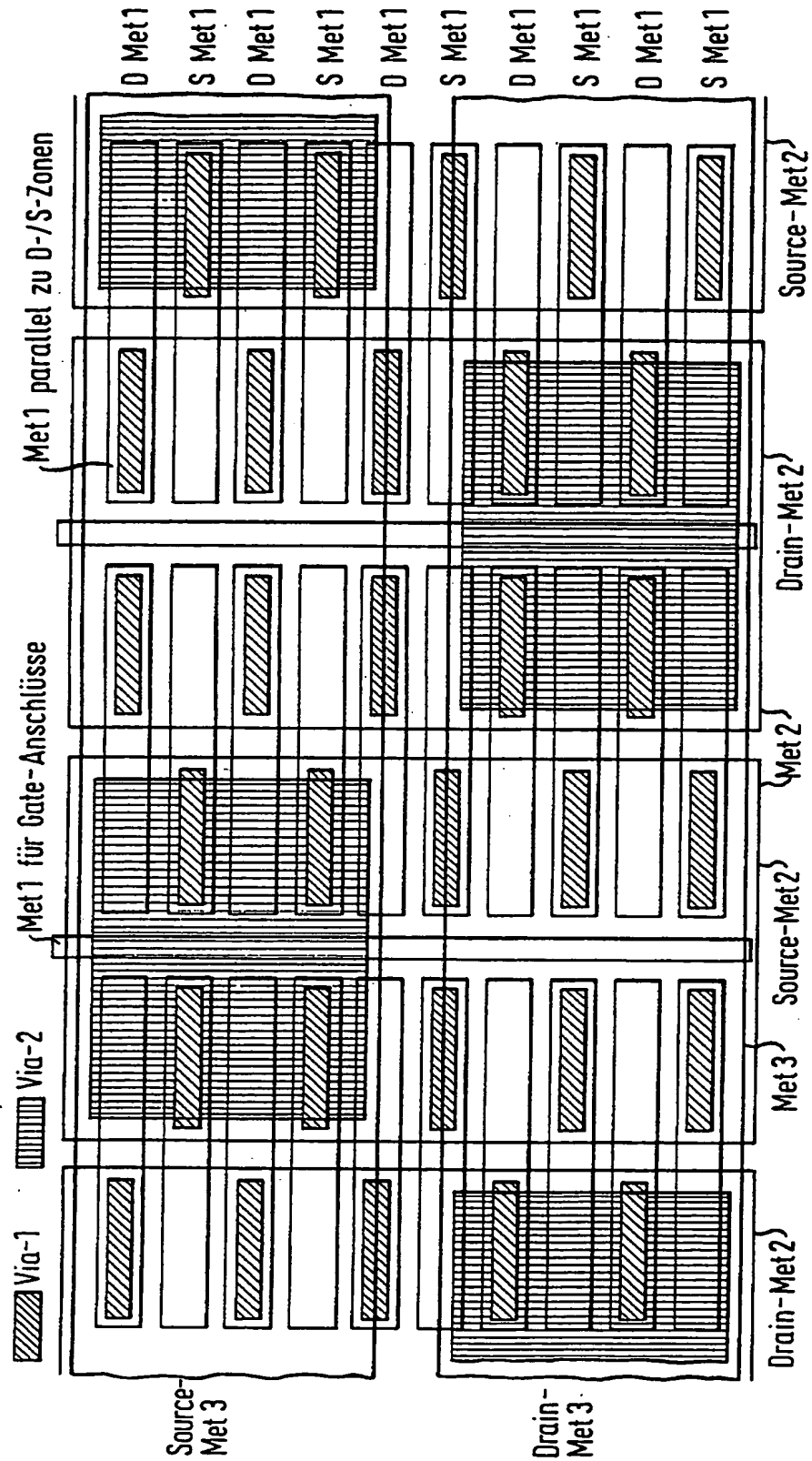


FIG. 6



AN: PAT 1997-491071
TI: Power component module for MOSFET, e.g. DMOS, or bipolar transistor has copper@ metal layer contacting e.g. aluminium@ metal film coupled to e.g. drain and source electrode zones via second aluminium@ film
PN: DE19613409-A1
PD: 09.10.1997
AB: The module includes several identical cells in a semiconductor substrate, each cell having two main electrode zones (S,D), between which is located a control electrode zone (G), with all zones in parallel. A first metallising film (MET 1) is coupled to the two electrode zones by through contacts. Above the first metallising film is located a second one (MET 2) coupled by through contacts (Via 1). A third, top metallising film (MET 3) is coupled to the first film via contacts (Via 1), or to the second film via contacts (Via 2) to the second film. The first two films are of Al, or an Al compound, or alloy, and are of different thickness, while the third film is of a metal, compound, or alloy of greater thickness.; Also for Resurf transistor or thyristor. For high current loads, with reduced resistance of individual cell connection.
PA: (TEXT) TEXAS INSTR DEUT GMBH;
IN: BUCKSCH W; HOOPER R; HUTTER L N; MAI Q X; RINCK H; WAGENSOHNER K;
FA: DE19613409-A1 09.10.1997; DE19613409-B4 17.11.2005;
CO: DE;
IC: H01L-029/417; H01L-029/45; H01L-029/73; H01L-029/74; H01L-029/78;
MC: U11-C05C7; U11-D03B2; U12-D01A9; U12-D01B; U12-D02A; U12-D02A9;
DC: U11; U12;
FN: 1997491071.gif
PR: DE1013409 03.04.1996;
FP: 09.10.1997
UP: 22.11.2005

